

# **Method of producing a two or multilayer wiring structure and two or multilayer structure made thereof**

Patent Number: EP0645953  
Publication date: 1995-03-29  
Inventor(s): BEYNE ERIC DR (BE); BULCKE FRED (BE); VAN PUYMBROECK JOSEF (BE)  
Applicant(s):: BULCKE HYBRID TECHNOLOGY BVBA (BE); IMEC INTER UNI MICRO ELECTR (BE); SIEMENS NV (BE)  
Requested Patent:  EP0645953, B1  
Application Number: EP19940114453 19940914  
Priority Number(s): DE19934333338 19930929  
IPC Classification: H05K3/46 ; H01L23/02  
EC Classification: H01L23/13, H01L23/498K, H01L21/48B, H05K1/18C2, H05K3/46C1  
Equivalents:

---

## **Abstract**

---

A first conductor plane (LE1), a dielectric layer (DS) and a second conductor plane (LE2) are produced successively on a substrate (S) which is produced by injection moulding and is provided with a trough (M), after which an electronic component (B) is inserted into the trough (M), the connections (A) of the component (B) are electrically conductively connected to associated connecting surfaces (AF) on the substrate (S), preferably by bonding, and encapsulation (V) for the component (B) is then formed by filling the trough (M) with plastic. The result is a compact, thin design, with a high wiring density. The recessed installation and encapsulation of components in troughs in the injection-moulded substrate results in the component and its connecting wiring being optimally protected, in addition to the thickness being reduced.

---

Data supplied from the esp@cenet database - I2



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) Veröffentlichungsnummer: 0 645 953 A1

(12)

## EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: 94114453.7

(51) Int. Cl.<sup>8</sup>: H05K 3/46, H01L 23/02

(22) Anmeldetag: 14.09.94

(30) Priorität: 29.09.93 DE 4333338

Kapeldreef 75  
B-3001 Leuven (BE)

(43) Veröffentlichungstag der Anmeldung:  
29.03.95 Patentblatt 95/13

(72) Erfinder: van Puymbroeck, Josef  
Korenblacerstrasse 17  
B-8020 Oostkamp (BE)  
Erfinder: Bulcke, Fred  
Rozendaalstraat 12  
B-8900 Ieper (BE)  
Erfinder: Beyne, Eric, Dr.  
Celestijnenlaan 3/31  
B-3001 Leuven (BE)

(84) Benannte Vertragsstaaten:  
BE DE FR GB IT NL

(74) Vertreter: Fuchs, Franz-Josef, Dr.-Ing.  
Postfach 22 13 17  
D-80503 München (DE)

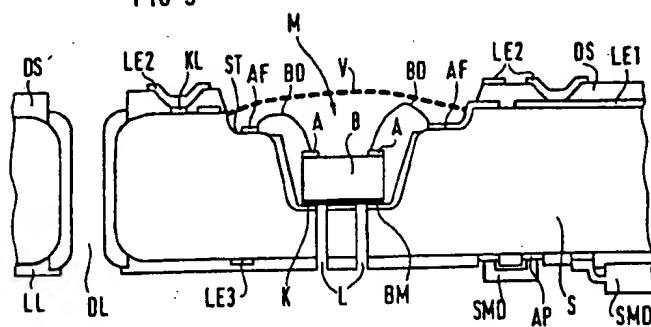
(71) Anmelder: Siemens NV  
Siemenslaan 1  
B-8020 Oostkamp (BE)  
Anmelder: BULCKE HYBRID TECHNOLOGY  
BVBA  
Rozendaalstraat 12  
B-8900 Ieper (BE)  
Anmelder: INTERUNIVERSITAIR  
MICROELEKTRONICA CENTRUM VZW

(52) Verfahren zur Herstellung einer zwei- oder mehrlagigen Verdrahtung und danach hergestellte zwei- oder mehrlagige Verdrahtung.

(57) Auf einem durch Spritzgießen hergestellten und mit einer Mulde (M) versehenen Substrat (S) werden nacheinander eine erste Leiterebene (LE1), eine Dielektrikumsschicht (DS) und eine zweite Leiterebene (LE2) erzeugt, worauf in die Mulde (M) ein elektronisches Bauelement (B) eingebracht wird, die Anschlüsse (A) des Bauelements (B) mit zugeordneten Anschlußflächen (AF) auf dem Substrat (S) vorzugsweise durch Böden elektrisch leitend verbunden

werden und dann durch Füllen der Mulde (M) mit Kunststoff eine Verkapselung (V) für das Bauelement (B) gebildet wird. Es entsteht ein kompakter, dünner Aufbau mit einer hohen Verdrahtungsdichte. Durch die versunkene Montage und Verkapselung von Bauelementen in Mulden des spritzgegossenen Substrats wird neben der Dickenreduzierung ein optimaler Schutz von Bauelement und dessen Anschlußverdrahtung erzielt.

FIG 9



EP 0 645 953 A1

Aus dem Aufsatz "Integration mit SIL-Technik" in der DE-Z Siemens-Zeitschrift Special • FuE • Herbst 1992, Seiten 4 bis 9, ist die sogenannte SIL-Technik bekannt, welche anstelle konventioneller gedruckter Schaltungen Spritzgießteile mit integrierten Leiterzügen verwendet. Anstelle der Bezeichnung SIL ist international die Bezeichnung MID (Molded Interconnect Device) am gebräuchlichsten. Hochwertige Thermoplaste, die sich zum Spritzgießen von dreidimensionalen, das heißt, räumlich geformten Teilen eignen, sind die Basis dieser Technikl. Derartige Thermoplaste zeichnen sich gegenüber herkömmlichen Substratmaterialien für gedruckte Schaltungen durch bessere mechanische, thermische, chemische, elektrische und umwelttechnische Eigenschaften aus. Die Strukturierung einer auf die Spritzgießteile aufgebrachten Metallschicht erfolgt unter Verzicht auf die sonst übliche Maskentechnik durch ein spezielles Laserstrukturierungsverfahren. In die dreidimensionalen Spritzgießteile mit strukturierter Metallisierung sind dabei mehrere mechanische und elektrische Funktionen integrierbar. Die Gehäuseträgerfunktion übernimmt gleichzeitig Führungen und Schnappverbindungen, während die Metallisierungsschicht neben der Verdrahtungs- und Verbindungsfunktion auch als elektromagnetische Abschirmung dient und für eine gute Wärmeabfuhr sorgt. Der direkte Anschluß und die Aufnahme von SMD-Bauelementen und ungehäuseten Halbleiterbauelementen bietet ein weiteres Integrationspotential.

Weitere Einzelheiten zur Herstellung von dreidimensionalen Spritzgießteilen mit integrierten Leiterzügen gehen beispielsweise aus der DE-A-37 32 249 oder der EP-A-0 361 192 hervor.

Beispielsweise aus der EP-A-0 478 313 ist es auch bekannt, auf beiden Seiten eines Substrats aus glasfaserverstärktem Epoxidharz zwei oder mehrere Leiterebenen auszubilden. Zur Herstellung derartiger Mehrlagenverdrahtungen erfolgt die Bildung der Leiterebenen durch Strukturierung von Metallschichten, auf welche dann photoempfindliche Dielektrikumsschichten aufgebracht werden, die anschließend zur Bildung von Kontaktlöchern, photolithographisch strukturiert werden. Auf die strukturierten Dielektrikumsschichten wird dann jeweils wieder eine Metallschicht aufgebracht und zur Bildung der nächsten Leiterebene strukturiert, wobei die nächste Leiterebene im Bereich der vorstehend erwähnten Kontaktlöcher mit der darunterliegenden Leiterebene elektrisch leitend verbunden ist. Die fertige Mehrlagenverdrahtung kann dann mit SMD-Bauelementen oder mit herkömmlichen bedrahteten Bauelementen bestückt werden.

Der in den Ansprüchen 1 und 22 angegebenen Erfindung liegt das Problem zugrunde, eine für die Aufnahme von ungehäuseten elektronischen Bauelementen, insbesondere Chips, geeignete, minde-

stens zweilagige Verdrahtung zu schaffen, die einen kompakten und dünnen Aufbau mit einer hohen Verdrahtungsdichte ermöglicht.

Die mit der Erfindung erzielten Vorteile bestehen insbesondere darin, daß durch die Kombination der zur Herstellung von Spritzgießteilen mit integrierten Leiterzügen und zur Herstellung von Mehrlagenverdrahtungen entwickelten Technologien auch die Vorteile dieser beiden Technologien gemeinsam realisiert werden können. So kann einerseits bei einem kompakten und dünnen Aufbau die Verdrahtungsdichte erheblich gesteigert werden, während andererseits das durch Spritzgießen hergestellte Substrat mehrere Funktionen als Verpackung, Träger und elektromagnetische Abschirmung erfüllen kann und auch eine gute Wärmeableitung ermöglicht. Bei der Bestückung der Verdrahtung mit Bauelementen können sämtliche bekannten Montagetechnologien angewandt werden. Als besonderer Vorteil ist aber auch die gesunkenen Montage von elektronischen Bauelementen in Mulden des spritzgossenen Substrats hervorzuheben, da hierdurch eine extrem geringe Dicke der bestückten Schaltung realisiert werden kann und neben einem optimalen Schutz auch eine einfache und hermetisch dichte Verkapselung ungehäuseter Bauelemente ermöglicht wird.

Vorteilhafte Ausgestaltungen des erfundungsgemäßen Verfahrens sind in den Ansprüchen 2 bis 21 angegeben.

Die Ausgestaltung nach Anspruch 2 ermöglicht eine wirtschaftliche Herstellung von Durchkontaktierungslöchern beim Spritzgießen des Substrats.

Gemäß Anspruch 3 können beim Spritzgießen des Substrats auch im Bereich der Mulden Löcher hergestellt werden, die dann eine Abfuhr der von den in den Mulden angeordneten Bauelementen erzeugten Wärme begünstigen.

Die Weiterbildung nach Anspruch 4 bietet die Möglichkeit, die gesamten elektrisch leitenden Verbindungen zwischen den Anschlüssen des Bauelements und den zugeordneten Anschlußflächen auf dem Substrat in die Verkapselung einzubeziehen und damit optimal zu schützen.

Wird die erste Metallschicht gemäß Anspruch 5 ganzflächig auf das Substrat aufgebracht, so kann eine Abschirmung oder Maskierung des Substrats entfallen, während die erste Metallschicht neben der Bildung von Leiterebenen auch Aufgaben als elektromagnetische Abschirmung, zur Wärmeabfuhr und dergleichen übernehmen kann.

Die Ausgestaltung nach Anspruch 6 hat den Vorteil, daß zur Herstellung der ersten Metallschicht auf Technologien zurückgegriffen werden kann, die sich bei der Herstellung gedruckter Schaltungen seit langer Zeit bewährt haben.

Wird die erste Metallschicht gemäß Anspruch 7 zur Herstellung der ersten Leiterebene durch La-

serablation strukturiert, so kann diese Strukturierung unter Verzicht auf die Maskentechnik und auf eine naßchemische Behandlung besonders rasch und wirtschaftlich durchgeführt werden.

Die Ausgestaltung nach Anspruch 8 ermöglicht eine einfache und wirtschaftliche photolithographische Strukturierung der Dielektrikumsschicht.

Gemäß Anspruch 9 wird auch die zweite Metallschicht vorzugsweise ganzflächig auf die Dielektrikumsschicht und die erste Metallschicht aufgebracht, so daß auch hier auf entsprechende Abdeckungen oder Maskierungen verzichtet werden kann.

Die Weiterbildung nach Anspruch 10 bietet eine einfache und wirtschaftliche Möglichkeit zur Strukturierung der zweiten Metallschicht. Die hierzu erforderliche Ätzresistschicht kann dabei gemäß Anspruch 11 aus einem photoempfindlichen organischen Material hergestellt und photolithographisch strukturiert werden. Gemäß Anspruch 12 kann eine Ätzresistschicht aber auch durch die Abscheidung von Zinn hergestellt und mittels Laserablation strukturiert werden.

Die Ausgestaltung nach Anspruch 13 ermöglicht eine einfache und sichere Befestigung des Bauelements in der Mulde durch Kleben. Wird dabei gemäß Anspruch 14 ein elektrisch leitender Kleber verwendet, so kann bei der Befestigung des Bauelements auch gleichzeitig eine elektrisch leitende Verbindung mit einer Leiterebene realisiert werden.

Die Anordnung und Kontaktierung eines in einer Mulde des Substrats untergebrachten Bauelements kann prinzipiell auch in Flip-Chip-Technik vorgenommen werden. Gemäß Anspruch 15 ist die erfindungsgemäße Verdrahtung aber insbesondere auf die Anwendung der Bondtechnik abgestimmt, da die Herstellung der Bondverbindungen direkt von oben her vorgenommen werden kann und die feinen Bonddrähte durch die nachfolgend hergestellte Verkapselung optimal geschützt werden können.

Die Ausgestaltung nach Anspruch 16 ermöglicht eine besonders einfache und sichere Verkapselung des in der Mulde untergebrachten Bauelements.

Die Weiterbildung nach Anspruch 17 ermöglicht die Ausnutzung der der Mulde gegenüberliegenden Seite des Substrats für die Herstellung mindestens einer weiteren Leiterebene. Gemäß Anspruch 18 kann diese weitere Leiterebene dabei mit einem Minimum an Aufwand durch Strukturierung der ersten Metallschicht und der zweiten Metallschicht gebildet werden.

Die Ausgestaltung nach Anspruch 19 ermöglicht elektrisch leitende Verbindungen zwischen der weiteren Leiterebene und der ersten Leiterebene über Durchkontaktierungslöcher, die bereits beim Spritzgießen des Substrats hergestellt werden kön-

nen.

Die Weiterbildung nach Anspruch 20 ermöglicht einen einfachen und wirksamen Schutz, der nicht für die Bestückung mit Bauelementen erforderlichen Bereiche der weiteren Leiterebene.

Gemäß Anspruch 21 können für die Bestückung der weiteren Leiterebene mit Bauelementen die Vorteile der Oberflächenmontage ausgenutzt werden.

Vorteilhafte Ausgestaltungen der erfindungsgemäßen zwei- oder mehrlagigen Verdrahtung gehen aus den Ansprüchen 23 bis 25 hervor, wobei die Vorteile dieser Ausgestaltungen bereits im Zusammenhang mit entsprechenden Ausgestaltungen des erfindungsgemäßen Verfahrens erörtert wurden.

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und wird im folgenden näher beschrieben.

Es zeigen

Figur 1 bis Figur 8 in stark vereinfachter schematischer Darstellung verschiedene Stadien bei der Herstellung von drei Leiterebenen auf einem spritzgegossenen Substrat und  
Figur 9 einen Querschnitt durch die fertige Verdrahtung nach Befestigung, Kontaktierung und Verkapselung eines in einer Mulde des Substrats angeordneten Chips.

Gemäß Figur 1 wird von einem Substrat S ausgegangen, das mit einer Mulde M versehen ist, wobei diese Mulde M etwa in halber Höhe mit einer Stufe ST versehen ist. Die Herstellung des Substrats S einschließlich Mulde M und Stufe ST erfolgt durch Spritzgießen, wobei als Substratmaterialien hochtemperaturbeständige Thermoplaste wie Polyetherimid, Polyethersulfon oder Polyamid geeignet sind.

Das in Figur 1 dargestellte Spritzgießteil wird dann zur Bildung einer in Figur 2 mit MS1 bezeichneten ersten Metallschicht nach einer entsprechenden Vorbehandlung ganzflächig chemisch verkupfert und anschließend bis zu einer Gesamtstärke vom beispielsweise 15µm durch galvanische Kupferabscheidung verstärkt. Die Vorbehandlung des Spritzgießteils erfolgt beispielsweise in einer Kaliumpermanganatlösung. Die Stärke der in Figur 2 nicht mehr separat erkennbaren stromlos abgeschiedenen Kupferschicht beträgt beispielsweise 0,5µm.

Gemäß Figur 3 wird dann die erste Metallschicht MS1 im Bereich der auf der Seite der Mulde M liegenden Oberfläche des Substrats S zur Bildung einer ersten Leiterebene LE1 strukturiert. Die Strukturierung der ersten Metallschicht MS1 erfolgt dabei durch Laserablation mit Hilfe eines in Figur 3 nicht dargestellten ablenkbaren Laserstrahls.

Nach der Herstellung der ersten Leiterebene LE1 wird auf diese ganzflächig eine photoempfind-

liche organische Dielektrikumsschicht aufgebracht, die in Figur 4 mit DS bezeichnet ist. Das Aufbringen der beispielsweise 50 $\mu\text{m}$  starken Dielektrikumsschicht DS erfolgt durch Vorhangguß, durch Siebdruck oder durch Tampondruck. Als Materialien für die Dielektrikumsschicht DS können beispielsweise photoempfindliche Epoxidharze oder Polyamide verwendet werden. Ein geeignetes negativ wirkendes photoempfindliches Epoxidharz kann beispielsweise unter dem Handelsnamen Pro-bimer 52 bei der Ciba Geigy AG, Basel (CH), bezogen werden. Die Dielektrikumsschicht DS wird zur Bildung von Kontaktlöchern KL strukturiert, wobei diese Strukturierung in bekannter Weise durch entsprechende Belichtung mittels einer Maske und nachfolgendes Entwickeln vorgenommen wird. Wie es aus Figur 4 ersichtlich ist, reichen die Kontaktlöcher KL in der Tiefe bis zur Oberfläche der zugeordneten Leiterbahnen der ersten Leiterebene LE1.

Nach dem Aufbringen und der Strukturierung der Dielektrikumsschicht DS wird das gesamte in Figur 4 dargestellte Gebilde nach einer Vorbehandlung durch ganzflächige stromlose Kupferabscheidung mit einer beispielsweise 0,5 $\mu\text{m}$  starken Metallschicht überzogen. Diese stromlos abgeschiedene Metallschicht ist in Figur 5 durch eine Linie SM angedeutet.

Die stromlose abgeschiedene Metallschicht SM wird anschließend durch die ganzflächige galvanische Abscheidung von Kupfer bis zu einer Stärke von beispielsweise 15  $\mu\text{m}$  verstärkt. Die resultierende zweite Metallschicht ist in Figur 6 mit MS2 bezeichnet, wobei hier die aus Figur 5 ersichtliche stromlos abgeschiedene Metallschicht SM nicht mehr als separate Schicht zu erkennen ist. Aus Figur 6 ist auch ersichtlich, daß die zweite Metallschicht MS2 im Bereich der Kontaktlöcher KL elektrisch leitend mit der darunterliegenden Leiterbahn oder Fläche der ersten Leiterebene LE1 verbunden ist.

Gemäß Figur 7 wird anschließend auf die zweite Metallschicht MS2 ganzflächig eine Ätzresistschicht AR aufgebracht. Diese Ätzresistschicht AR wird im dargestellten Ausführungsbeispiel durch die stromlose Abscheidung von Zinn hergestellt und nachfolgend mittels Laserablation strukturiert. Photoempfindliche organische Materialien, die neben den üblichen Techniken auch durch Elektrotauchlackierung aufgebracht werden können, sind als Ätzresistschicht ebenfalls geeignet. In diesem Fall wird die Strukturierung dann durch Belichtung mittels Masken und anschließendes Entwickeln vorgenommen.

Bei der aus Figur 7 nicht ersichtlichen Strukturierung der Ätzresistschicht AR werden diejenigen Bereiche entfernt, die nicht dem gewünschten Leiterbild oder anderen erwünschten Metallflächen auf dem Substrat S entsprechen. Danach werden die

nicht geschützten Bereiche der ersten Metallschicht MS1 und der zweiten Metallschicht MS2 durch Ätzen bis zur Oberfläche des Substrats S abgetragen. Figur 8 zeigt das entsprechende Gebilde nach dem Ätzen und dem Strippen der verbliebenen Ätzresistschicht AR. Auf der Oberfläche, die auf der Seite der Mulde M liegt, ist durch die Strukturierung der zweiten Metallschicht MS2 eine zweite Leiterebene LE2 entstanden, die im Bereich der Kontaktlöcher KL Durchkontaktierungen zur ersten Leiterebene LE1 aufweist. Auf der Stufe ST der Mulde M sind durch die Strukturierung der aus erster Metallschicht MS1 und zweiter Metallschicht MS2 bestehenden Gesamtschicht Anschlußflächen AF entstanden, deren Aufgabe im Zusammenhang mit Figur 9 noch zu erläutern ist. Auch im Bodenbereich der Mulde M ist eine durch die erste Metallschicht MS1 und die zweite Metallschicht MS2 gebildete Bodenmetallisierung BM verblieben. Auf der der Mulde M gegenüberliegenden Oberfläche des Substrats S ist durch die Strukturierung der aus erster Metallschicht MS1 und zweiter Metallschicht MS2 bestehenden Gesamtschicht eine weitere Leiterebene LE3 entstanden.

Bei der weiteren Schilderung des Verfahrensablaufs bei der Herstellung einer dreilagigen Verdrahtung wird auf Figur 9 verwiesen, welche einen Querschnitt durch einen Teil einer fertigen und mit Bauelementen bestückten Verdrahtung zeigt. In die Mulde M wird ein ungehäustes elektronisches Bauelement B eingesetzt und mit seiner Unterseite mit Hilfe eines elektrisch leitenden Klebers K auf der Bodenmetallisierung BM befestigt. Danach werden die Anschlüsse A des Bauelements B über feine Bonddrähte BD mit den zugeordneten Anschlußflächen AF auf der Stufe ST elektrisch leitend verbunden. Im Anschluß an die Herstellung dieser Bondverbindungen wird die Mulde M beispielsweise mit Epoxidharz ausgegossen, welches nach seiner Aushärtung eine Verkapselung V bildet, deren Kontur in Figur 9 durch eine gestrichelte Linie aufgezeigt ist. Es ist ersichtlich, daß auch die Anschlußfläche AF und die Bonddrähte BD in die Verkapselung V einbezogen sind, und somit ein optimaler Schutz aller empfindlichen Teile gewährleistet ist.

Aus Figur 9 ist auch ersichtlich, daß die weitere Leiterebene LE3 mit einem Lötstopplack LL geschützt wird, welcher so strukturiert wird, daß nur die als Anschlußpads AP dienenden Bereiche der weiteren Leiterebene LE3 freibleiben. Diese Anschlußpads AP werden dann durch die bekannte Oberflächenmontage mit SMD-Bauelementen bestückt, die in Figur 9 mit SMD bezeichnet sind.

Aus Figur 9 ist ferner ersichtlich, daß das Substrat S Durchkontaktierungslöcher DL aufweisen kann, deren Innenwandungen bei der Bildung der Metallschichten MS1 und MS2 (vergleiche Figuren 2 und 6) metallisiert werden. Dadurch können

Durchkontakteierungen zwischen der ersten Leiter-ebene LE1 und der weiteren Leiterebene LE3 hergestellt werden..

Schließlich ist aus Figur 9 auch noch ersichtlich, daß das Substrat S im Bereich einer Mulde M auch mit Löchern L versehen sein kann, welche die Abfuhr der vom Bauelement B erzeugten Wärme begünstigen. Die Löcher L werden ebenso wie die Durchkontakteierungslöcher DL bereits beim Spritzgießen des Substrats S erzeugt. Die Innenwandungen der Löcher L sind ebenfalls mit Metall überzogen, wobei diese Metallisierung in Figur 9 jedoch nicht näher dargestellt ist.

Neben dem vorstehend anhand der Zeichnung beschriebenen Ausführungsbeispiel kann die Erfindung auch durch zahlreiche Abwandlungen realisiert werden, ohne den Erfindungsgedanken zu verlassen. Insbesondere können sowohl auf der Oberseite, als auch auf der Unterseite nach dem Aufbringen entsprechender Dielektrikumsschichten weitere Leiterebenen gebildet werden.

#### Patentansprüche

1. Verfahren zur Herstellung einer zwei- oder mehrlagigen Verdrahtung mit folgenden Schritten:

- Herstellung eines mit mindestens einer Mulde (M) versehenen Substrats (S) aus einem elektrisch isolierenden Kunststoff durch Spritzgießen;
- Aufbringen einer ersten Metallschicht (MS1) auf das Substrat (S) und Strukturierung der ersten Metallschicht (MS1) zur Bildung einer ersten Leiterebene (LE1);
- Aufbringen einer Dielektrikumsschicht (DS) auf die erste Leiterebene (LE1) und Strukturierung der Dielektrikumsschicht (DS) zur Bildung von Kontaktlöchern (KL);
- Aufbringen einer zweiten Metallschicht (MS2) auf die Dielektrikumsschicht (DS) und Strukturierung der zweiten Metallschicht (MS2) zur Bildung einer zweiten Leiterebene (LE2), die im Bereich der Kontaktlöcher (KL) mit der ersten Leiterebene (LE1) elektrisch leitend verbunden ist;
- Anordnung eines elektronischen Bauelements (B) in der Mulde (M) und Herstellung elektrisch leitender Verbindungen zwischen den Anschlüssen (A) des Bauelements (B) und zugeordneten Anschlußflächen (AF) auf dem Substrat (S);
- Herstellung einer Verkapselung (V) für das Bauelement (B) durch Füllen der Mulde (M) mit Kunststoff.

2. Verfahren nach Anspruch 1,  
gekennzeichnet durch  
die Herstellung eines mit mindestens einem Durchkontakteierungslöch (DL) versehenen Substrat (S).

3. Verfahren nach Anspruch 1 oder 2,  
gekennzeichnet durch  
die Herstellung eines Substrats (S), das im Bereich der Mulde (M) mit mindestens einem Loch (L) zur Abfuhr der vom Bauelement (B) erzeugten Wärme versehen ist.

4. Verfahren nach einem der vorhergehenden Ansprüche,  
gekennzeichnet durch  
die Herstellung eines Substrats (S), dessen Mulde (M) eine Stufe (ST) aufweist und durch die Anordnung der Anschlußflächen (AF) auf der Stufe (ST).

5. Verfahren nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet,  
daß die erste Metallschicht (MS1) ganzflächig auf das Substrat (S) aufgebracht wird.

6. Verfahren nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet,  
daß die erste Metallschicht (MS1) durch stromlose und galvanische Abscheidung von Kupfer auf das Substrat (S) aufgebracht wird.

7. Verfahren nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet,  
daß die erste Metallschicht (MS1) zur Herstellung der ersten Leiterebene (LE1) durch Laserablation strukturiert wird.

8. Verfahren nach einem der vorhergehenden Ansprüche,  
gekennzeichnet durch  
die Verwendung einer Dielektrikumsschicht (DS) aus einem photoempfindlichem organischen Material und durch die photolithographische Strukturierung der Dielektrikumsschicht (DS).

9. Verfahren nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet,  
daß die zweite Metallschicht (MS2) ganzflächig auf die Dielektrikumsschicht (DS) und die erste Metallschicht aufgebracht wird.

10. Verfahren nach einem der vorhergehenden Ansprüche,  
**dadurch gekennzeichnet,**  
 daß die zweite Metallschicht (MS2) unter Verwendung einer strukturierten Ätzresistschicht (AR) durch Ätzen strukturiert wird.

11. Verfahren nach Anspruch 10,  
**gekennzeichnet durch**  
 die Verwendung einer Ätzresistschicht (AR) aus einem photoempfindlichen organischen Material und durch die photolithographische Strukturierung der Ätzresistschicht (AR).

12. Verfahren nach einem der Ansprüche 1 bis 10,  
**gekennzeichnet durch**  
 die Verwendung einer Ätzresistschicht (AR) aus Zinn und durch die Strukturierung der Ätzresistschicht (AR) mittels Laserablation.

13. Verfahren nach einem der vorhergehenden Ansprüche,  
**dadurch gekennzeichnet,**  
 daß das Bauelement (B) mit Hilfe eines Klebers (K) in der Mulde (M) befestigt wird.

14. Verfahren nach Anspruch 13,  
**gekennzeichnet durch**  
 die Verwendung eines elektrisch leitenden Klebers (K).

15. Verfahren nach einem der vorhergehenden Ansprüche,  
**dadurch gekennzeichnet,**  
 daß die Anschlüsse (A) des Bauelements (B) durch Bonddrähte (BD) mit den zugeordneten Anschlußflächen (AF) auf dem Substrat (S) elektrisch leitend verbunden werden.

16. Verfahren nach einem der vorhergehenden Ansprüche,  
**dadurch gekennzeichnet,**  
 daß zur Herstellung der Verkapselung (V) die Mulde (M) mit einem härtbaren Kunstharz ausgegossen wird.

17. Verfahren nach einem der vorhergehenden Ansprüche,  
**dadurch gekennzeichnet,**  
 daß auf der der Mulde (M), der ersten Leiterebene (LE1) und der zweiten Leiterebene (LE2) gegenüberliegenden Seite des Substrats (S) mindestens eine weitere Leiterebene (LE3) gebildet wird.

18. Verfahren nach Anspruch 17,  
**dadurch gekennzeichnet,**  
 daß die weitere Leiterebene (LE3) durch Strukturierung der ersten Metallschicht (MS1) und der zweiten Metallschicht (MS2) gebildet wird.

19. Verfahren nach Anspruch 17 oder 18,  
**dadurch gekennzeichnet,**  
 daß die weitere Leiterebene (LE3) über mindestens ein Durchkontaktierungsloch (DL) mit der ersten Leiterebene (LE1) elektrisch leitend verbunden wird.

20. Verfahren nach einem der Ansprüche 17 bis 19,  
**dadurch gekennzeichnet,**  
 daß auf die weitere Leiterebene (LE3) unter Freilassung von Anschlußpads (AP) ein Lötstopplack (LL) aufgebracht wird.

21. Verfahren nach einem der Ansprüche 17 bis 20,  
**dadurch gekennzeichnet,**  
 daß die weitere Leiterebene (LE3) mit SMD-Bauelementen (SMD) bestückt wird.

22. Zwei- oder mehrlagige Verdrahtung mit  
 - einem mit mindesten einer Mulde (M) versehenen, spritzgegossenen Substrat (S) aus einem elektrisch isolierenden Kunststoff;  
 - einer ersten Leiterebene (LE1) auf einer Seite des Substrats (S);  
 - einer auf die erste Leiterebene (LE1) aufgebrachten und mit Kontaktlöchern (KL) versehenen Dielektrikumsschicht (DS);  
 - einer auf die Dielektrikumsschicht (DS) aufgebrachten zweiten Leiterebene (LE2), die im Bereich der Kontaktlöcher (KL) mit der ersten Leiterebene elektrisch leitend verbunden ist;  
 - einem in der Mulde (M) angeordneten elektronischen Bauelement (B), dessen Anschlüsse (A) mit zugeordneten Anschlußflächen (AF) auf dem Substrat (S) elektrisch leitend verbunden sind und mit  
 - einer durch Füllen der Mulde (M) mit Kunststoff gebildeten Verkapselung des Bauelements (B).

23. Zwei- oder mehrlagige Verdrahtung nach Anspruch 22,  
**dadurch gekennzeichnet,**  
 daß die Anschlußflächen (AF) auf einer Stufe (ST) der Mulde (M) angeordnet sind.

24. Zwei- oder mehrlagige Verdrahtung nach Anspruch 22 oder 23,  
**dadurch gekennzeichnet,**  
 daß auf die der Mulde (M), der ersten Leiterebene (LE1) und der zweiten Leiterebene

(LE2) gegenüberliegende Seite des Substrats  
(S) mindestens eine weitere Leiterebene (LE3)  
aufgebracht ist.

25. Zwei- oder mehrlagige Verdrahtung nach An- 5  
spruch 24,  
**dadurch gekennzeichnet,**  
daß die weitere Leiterebene (LE3) über minde-  
stens ein Durchkontaktierungsloch (DL) mit der  
ersten Leiterebene (LE1) elektrisch leitend ver- 10  
bunden ist.

15

20

25

30

35

40

45

50

55

FIG 1

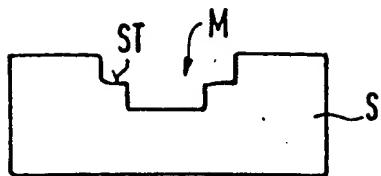


FIG 2

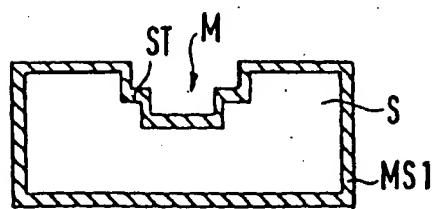


FIG 3

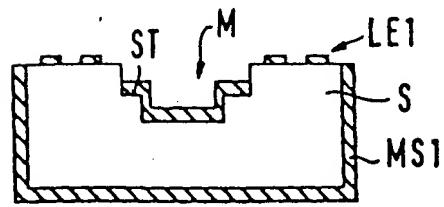
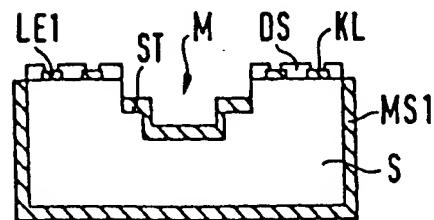


FIG 4



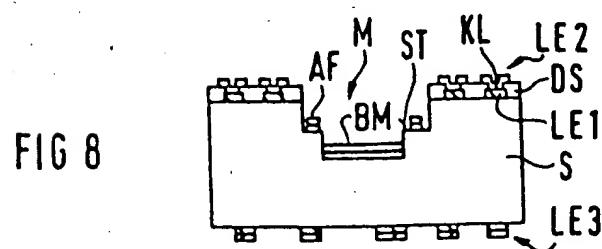
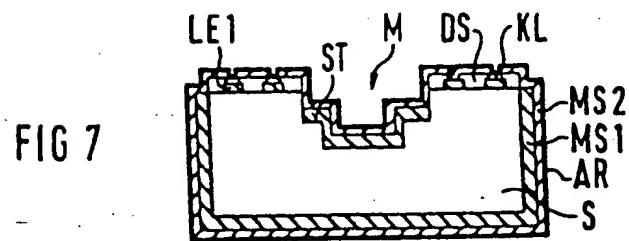
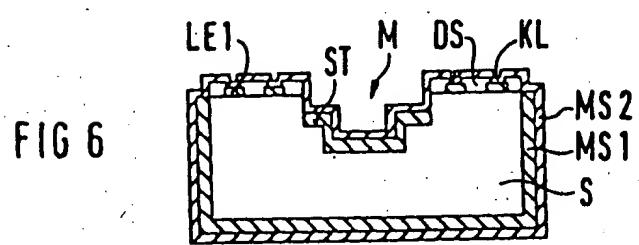
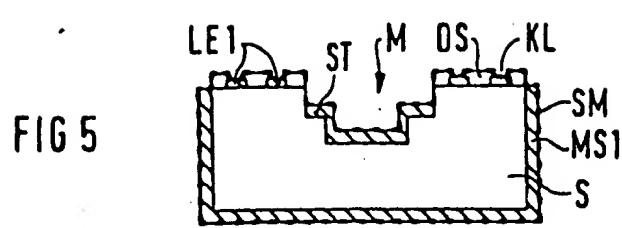
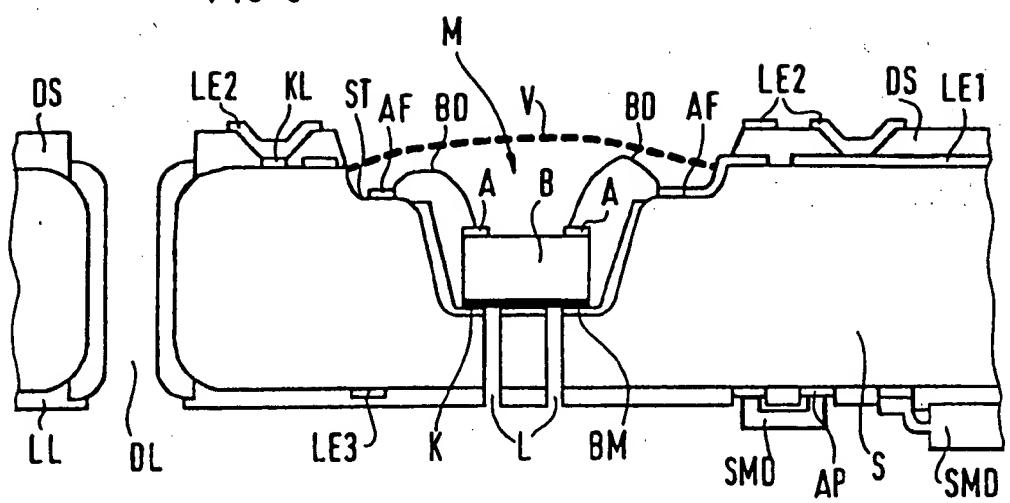


FIG 9





Europäisches  
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EINSCHLÄGIGE DOKUMENTE			EP 94114453.7			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrift Anspruch	KLASSIFIKATION DER ANMELDUNG (Int C16)			
A	<u>EP - A - 0 526 243</u> (FUJITSU) * Spalte 4, Zeile 48 - Spalte 8, Zeile 10 *	1,22	H 05 K 3/46 H 01 L 23/02			
A	<u>US - A - 4 769 309</u> (KING) * Spalte 7, Zeile 13 - Spalte 9, Zeile 42 *	1,22				
A	<u>US - A - 4 964 019</u> (BELANGER) * Spalte 3, Zeile 34 - Spalte 4, Zeile 44 *	3,5,13				
A	PATENT ABSTRACTS OF JAPAN, unexamined applications, E Field, Band 16, Nr. 542, 12. November 1992 THE PATENT OFFICE JAPANESE GOVERNMENT Seite 92 E 1290; & JP-A-04 206 989 (NITTO BOSEKI) --	1,22				
A	PATENT ABSTRACTS OF JAPAN, unexamined applications, E Field, Band 11, Nr. 148, 14. Mai 1987 THE PATENT OFFICE JAPANESE GOVERNMENT Seite 44 E 506; & JP-A-61 285 739 (SUMITOMO) --	1,22	RECHERCHIERTE SACHGEBiete (Int. C16)  H 05 K H 01 L			
A	PATENT ABSTRACTS OF JAPAN, unexamined applications, E Field, Band 13, Nr. 496, 9. November 1989 THE PATENT OFFICE JAPANESE GOVERNMENT	1,22				
<p>Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.</p> <table border="1"> <tr> <td>Recherchenort WIEN</td> <td>Abschlußdatum der Recherche 14-12-1994</td> <td>Prüfer SCHLECHTER</td> </tr> </table> <p>KATEGORIE DER GENANNTEN DOKUMENTEN</p> <p>X : von besonderer Bedeutung allein betrachtet  Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie  A : technologischer Hintergrund  O : nichtschriftliche Offenbarung  P : Zwischenliteratur  T : der Erfindung zugrunde liegende Theorien oder Grundsätze</p> <p>E : älteres Patentdokument, das jedoch erst am oder nach dem Anmelde datum veröffentlicht worden ist  D : in der Anmeldung angeführtes Dokument  L : aus andern Gründen angeführtes Dokument</p> <p>&amp; : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>				Recherchenort WIEN	Abschlußdatum der Recherche 14-12-1994	Prüfer SCHLECHTER
Recherchenort WIEN	Abschlußdatum der Recherche 14-12-1994	Prüfer SCHLECHTER				

-2-

EP 94114453.7

EINSCHLÄGIGE DOKUMENTE			KLASSIFIKATION DER ANMELDUNG (Int C16)		
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch			
	<p>Seite 85 E 843;  &amp; JP-A-01 199 460 (TOSHIBA)</p> <p>-----</p>				
RECHERCHIERTE SACHGEBIETE (Int C16)					
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.					
Recherchenort WIEN	Abschlußdatum der Recherche 14-12-1994	Prüfer SCHLECHTER			
<b>KATEGORIE DER GENANNTEN DOKUMENTEN</b> <ul style="list-style-type: none"> <li>X : von besonderer Bedeutung allein betrachtet</li> <li>Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie</li> <li>A : technologischer Hintergrund</li> <li>O : nischenschriftliche Offenbarung</li> <li>P : Zwischenliteratur</li> <li>T : der Erfindung zugrunde liegende Theorien oder Grundsätze</li> </ul>					
<ul style="list-style-type: none"> <li>E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldeatum veröffentlicht worden ist</li> <li>D : in der Anmeldung angeführtes Dokument</li> <li>L : aus andern Gründen angeführtes Dokument</li> <li>&amp; : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</li> </ul>					